

DIPS-11/45の開発

Development of DIPS-11/45

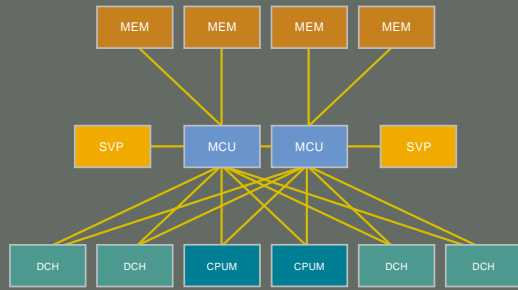
高度化、多様化するデータ通信の要求を満たすとともに、大幅なコスト性能比の改善を図るため、1982年DIPS-11/5シリーズの最上位機種であるモデル45を開発した。モデル45は最先端の部品と実装技術、新しいハードウェア構成技術の開発により世界最高レベルの処理能力、信頼性、および低電力化を実現した。

DIPS-11/45の主な開発技術

- 高速高性能LSIの採用
- 遅延時間 0.35ナノ秒、400/1300ゲート/チップ論理LSI、およびアクセスタイム 5.5ナノ秒、1kビット/チップバイポーラメモリ素子LSI
- 2段バッファメモリ方式の採用
- ローカルメモリと主記憶の間に中速大容量バッファメモリ(512kバイト)を配置。
- 主記憶容量、ローカルメモリの拡大
- 主記憶容量 128Mバイト、ローカルメモリ 64kバイト
- 高密度実装方式の採用
- 最大121個のLSIを搭載するMCC(Multi-Chip Carrier)の採用で、論理装置を50cm²に小型化。



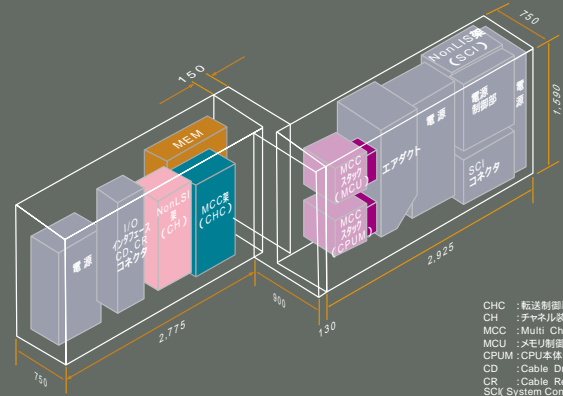
DIPS-11/45のシステム構成
DIPS-11/45 system configuration



CPUM: 論理装置
MEM: 主記憶装置
DCH: 転送装置
SVP: サービス支援装置
CPUM: CPU本体部
MCU: メモリ制御部

この図はマルチプロセッサ構成の場合を示しているが、2パーティションに分割して、一方を予備として使うデュプレックス構成とすることもできる。

DIPS-11/45きょう体構成
DIPS-11/45 cabinet configuration



CHC: 転送制御装置
CH: チャネル装置
MCC: Multi Chip Carrier
MCU: メモリ制御部
CPUM: CPU本体部
CD: Cable Driver
CR: Cable Receiver
SCC: System Control Interface
SVPとのインタフェース